

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0068932  
Application Number

출원 년 월 일 : 2002년 11월 07일  
Date of Application NOV 07, 2002

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



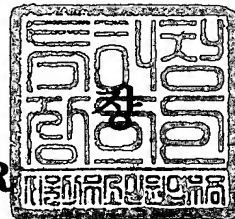
2003      년      07      월      16      일

특

허

청

COMMISSIONER



**【서지사항】**

**【서류명】** 명세서 등 보정서  
**【수신처】** 특허청장  
**【제출일자】** 2003.06.24  
**【제출인】**  
     **【명칭】** 삼성전자 주식회사  
     **【출원인코드】** 1-1998-104271-3  
     **【사건과의 관계】** 출원인  
**【대리인】**  
     **【성명】** 박상수  
     **【대리인코드】** 9-1998-000642-5  
     **【포괄위임등록번호】** 2000-054081-9  
**【사건의 표시】**  
     **【출원번호】** 10-2002-0068932  
     **【출원일자】** 2002.11.07  
     **【심사청구일자】** 2002.11.07  
     **【발명의 명칭】** 슬립 모드에서 데이터 보존이 가능한 M T C M O S  
     플립플롭 회로  
**【제출원인】**  
     **【접수번호】** 1-1-2002-0368435-38  
     **【접수일자】** 2002.11.07  
**【보정할 서류】** 명세서등  
**【보정할 사항】**  
     **【보정대상항목】** 별지와 같음  
     **【보정방법】** 별지와 같음  
     **【보정내용】** 별지와 같음  
**【취지】** 특허법시행규칙 제13조·실용신안법시행규칙 제8조  
     의 규정에의하여 위와 같 이 제출합니다. 대리인  
     박상수 (인)

1020020068932

출력 일자: 2003/7/18

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【보정대상항목】 청구항 10

【보정방법】 정정

【보정내용】

외부 클럭신호와 반전 슬립 모드 제어신호를 수신하고 내부 클럭신호를 발생시키는 슬립 모드 제어회로;

플립플롭 입력 데이터를 수신하여 반전시키는 제 1 인버터;

상기 내부 클럭신호와 반전 내부 클럭신호의 제어하에 상기 제 1 인버터의 출력신호를 수신하여 제 1 노드로 전달하는 마스터 래치 게이트;

상기 마스터 래치 게이트의 출력신호를 수신하여 래치하고 제 2 노드로 출력하는 마스터 래치 회로;

상기 내부 클럭신호와 상기 반전 내부 클럭신호의 제어하에 상기 제 2 노드의 신호를 수신하여 제 3 노드로 전달하는 슬레이브 래치 게이트;

상기 슬레이브 래치 게이트의 출력신호를 수신하여 래치하고 제 4 노드로 출력하는 슬레이브 래치 회로; 및

상기 반전 슬립 모드 제어신호의 제어하에 상기 제 3 노드로부터 피드백 입력신호를 수신하고 상기 제 1 노드에 피드백 출력신호를 발생시키는 데이터 보존 피드백 회로를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2002.11.07  
**【발명의 명칭】** 슬립 모드에서 데이터 보존이 가능한 MTCMOS 플립플롭 회로  
**【발명의 영문명칭】** MTCMOS FLIP-FLOP CIRCUIT CAPABLE OF RETAINING DATA IN SLEEP MODE  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 박상수  
**【대리인코드】** 9-1998-000642-5  
**【포괄위임등록번호】** 2000-054081-9  
**【발명자】**  
**【성명의 국문표기】** 조성위  
**【성명의 영문표기】** CHO, SUNG WE  
**【주민등록번호】** 690812-1018411  
**【우편번호】** 133-777  
**【주소】** 서울특별시 성동구 행당2동 한진아파트 119동 802호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 10 면 10,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 22 항 813,000 원  
**【합계】** 852,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 MTCMOS 기술을 이용한 플립플롭 회로에 관한 것으로, 마스터 래치부와 슬레이브 래치부를 구비하고 내부 클럭신호의 제어하에 입력 데이터를 수신하여 래치하고 출력하는 MTCMOS 플립플롭 회로에 있어서, 슬립모드시 마스터 래치 회로의 입력단자에서의 데이터의 상태를 슬레이브 래치 회로의 입력단자에서의 데이터가 반전된 상태와 동일하게 만들어 보존함으로써, 슬립모드에서 액티브 모드로 전환시 플립플롭 회로의 출력이 슬립모드에 진입하기 직전의 상태를 유지하는 것을 특징으로 한다.

본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로에 의하면, 기존의 플립플롭 회로에 피드백 회로를 추가함으로써 슬립 모드에서 액티브 모드로 전환할 때 슬립 모드 제어신호만을 사용하여 슬립모드 이전 상태를 보존할 수 있다. 또한, 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로에서는 low-Vt 트랜지스터를 사용한 종래의 플립플롭 회로나 high-Vt 트랜지스터를 사용한 종래의 플립플롭 회로에 비해 동작속도는 조금 느린 반면 누설전류는 매우 작다.

**【대표도】**

도 3

## 【명세서】

## 【발명의 명칭】

슬립 모드에서 데이터 보존이 가능한 MTCMOS 플립플롭 회로{MTCMOS FLIP-FLOP CIRCUIT CAPABLE OF RETAINING DATA IN SLEEP MODE}

## 【도면의 간단한 설명】

도 1은 MTCMOS 기술을 이용하여 설계된 논리회로의 일부를 나타내는 종래의 회로도이다.

도 2는 슬립 모드에서 데이터를 보존할 수 있는 종래의 MTCMOS 플립플롭 회로를 나타내는 도면이다.

도 3은 슬립 모드에서 데이터를 보존할 수 있는 본 발명의 일실시예에 따른 MTCMOS 플립플롭 회로를 나타내는 도면이다.

도 4는 도 3의 회로에서 인버터들을 등가의 트랜지스터로 나타낸 도면이다.

도 5는 도 3의 회로에서 가상접지(virtual ground, VGND)(미도시)와 접지(GND) 사이에 연결되는 스위칭 트랜지스터를 나타내는 도면이다.

도 6은 슬립 모드에서 액티브 모드로 전환시, 슬립모드 전의 상태가 보존되고 있음을 나타내는 도 3의 회로의 타이밍도이다.

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

|                   |                  |
|-------------------|------------------|
| 310 : 마스터 래치부     | 312 : 마스터 래치 게이트 |
| 314 : 마스터 래치 회로   | 320 : 슬레이브 래치부   |
| 322 : 슬레이브 래치 게이트 | 324 : 슬레이브 래치 회로 |

330 : 슬립 모드 제어회로      340 : 데이터 보존 피드백 회로

350 : 버퍼부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13>      본 발명은 MTCMOS 기술을 이용한 플립플롭 회로에 관한 것으로, 특히 슬립 모드에서 액티브 모드로 전환시 슬립모드 이전 상태를 보존할 수 있는 MTCMOS 기술을 이용한 플립플롭 회로에 관한 것이다.

<14>      MTCMOS(Multi-Threshold Complementary Metal Oxide Semiconductor) 기술은 도 1에 도시된 바와 같이, 전원전압(또는 접지전압)과 논리회로(10) 사이에  $V_{th}$ (threshold voltage, 문턱전압)가 비교적 높은 MOS(Metal Oxide Semiconductor) 트랜지스터(MP1 또는 MN1)를 직렬로 연결하여, 액티브 모드(active mode; power on)에서는 MOS 트랜지스터(MP1 또는 MN1)를 온 시켜 전원전압(또는 접지전압)을  $V_{th}$ 가 비교적 낮은 논리회로(10)에 공급함으로써 논리회로의 동작속도를 향상시키고, 슬립 모드(sleep mode; power down mode)에서는 MOS 트랜지스터를 오프 시켜 논리회로에 전원전압(또는 접지전압)을 차단함으로써 논리회로의 누설전류(leakage current, sub-threshold current)를 줄이는 기술이다. MTCMOS 기술은, 특히 액티브 모드에 있는 시간보다 슬립모드에 있는 시간이 훨씬 긴 휴대기기용 LSI(Large Scale Integration) 칩의 소비전력을 줄이는 데 매우 유용하다. 그러나, MTCMOS 기술은 파워 오프 시, 즉 슬립모드에서 논리회로의 래치(latch)나 플립플롭에 저장되



어 있는 데이터가 손실되는 문제가 있었다. MTCMOS 기술을 이용한 플립플롭 회로에서 슬립 모드시 데이터가 손실되는 문제를 해결한 여러 가지 회로가 발표되었다. 도 2는 슬립 모드에서 데이터를 보존할 수 있는 종래의 D 형 플립플롭 회로를 나타내는 도면으로서, 1997년 Satoshi Shigematsu가 IEEE JOURNAL of SOLID STATE CIRCUIT Vol.32, NO.6에 발표한 회로이다. 도 2에 도시된 D 형 플립플롭 회로는 데이터 보존회로(data keeper)(230)를 구비하여 슬립 모드에서 데이터 보존회로(230)에 데이터를 저장하고 있다가 액티브 모드로 환원되면 데이터 보존회로(230)에 저장된 데이터를 마스터 래치부(210)와 슬레이브 래치부(220)에 전달함으로써 플립플롭의 출력(OUT)은 이전 상태를 유지하게 된다. 도 2의 회로에서 논리회로 부분(210, 220)은 동작속도를 빠르게 하기 위해 low-Vth 트랜지스터를 사용하고, 데이터 보존회로(230)는 누설전류를 줄이기 위해 high-Vth 트랜지스터를 사용한다. 또한, 데이터 보존회로(230)는 슬립모드에서도 동작을 해야 하므로 직접 전원전압과 접지에 연결된다.

<15> 그런데, 도 2에 도시된 바와 같은 종래의 D 형 플립플롭 회로에서는, 데이터를 보존하기 위해서 데이터 보존회로(230)를 추가적으로 삽입해야 하는 부담이 있고, 슬립모드에서 액티브 모드로 전환시 이전 클럭신호와 데이터의 상호관계로 인해 데이터의 리드(read)/라이트(write) 동작을 제어하기 위해 데이터 유지 제어신호(B1, B1B, B2, B2B)를 사용해야 하고, 이들 데이터 유지 제어신호들을 제어하기 위한 제어회로를 회로 설계 단계의 탑 레벨(top level)에서 구현해야 하는 어려움이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로는 상술한 바와 같은 문제점을 해결하기 위해 기존의 플립플롭 회로에 피드백 회로를 추가함으로써 슬립 모드 제어신

호만을 사용하여 슬립 모드에서 액티브 모드로 전환할 때 슬립모드 이전 상태를 보존할 수 있다.

- <17> 본 발명의 목적은 슬립 모드에서 액티브 모드로 전환시 슬립모드 이전 상태를 보존할 수 있는 MTCMOS 기술을 이용한 플립플롭 회로를 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <18> 본 발명에 따른 MTCMOS 플립플롭 회로는 마스터 래치부와 슬레이브 래치부를 구비하고 내부 클럭신호의 제어하에 입력 데이터를 수신하여 래치하고 출력하는 MTCMOS 플립플롭 회로에 있어서, 슬립모드시 마스터 래치 회로의 입력단자에서의 데이터의 상태를 슬레이브 래치 회로의 입력단자에서의 데이터가 반전된 상태와 동일하게 만들어 보존함으로써, 슬립모드에서 액티브 모드로 전환시 플립플롭 회로의 출력이 슬립모드에 진입하기 직전의 상태를 유지하는 것을 특징으로 한다.
- <19> 본 발명에 따른 MTCMOS 플립플롭 회로는 가상접지와 접지 사이에 연결되고 슬립 모드시에는 슬립 모드 제어신호에 의해 온 되고 액티브 모드시에는 상기 슬립 모드 제어신호에 의해 오프 되는 스위칭 트랜지스터를 구비하는 것을 특징으로 한다.
- <20> 본 발명에 따른 MTCMOS 플립플롭 회로는 반전 슬립 모드 제어신호의 제어하에 상기 슬레이브 래치 회로의 입력단자에서의 데이터를 수신하여 반전시키고 상기 마스터 래치 회로의 입력단자에 전달하는 데이터 보존 피드백 회로를 구비하여 슬립모드에서 액티브 모드로 전환시 플립플롭 회로의 출력이 슬립모드에 진입하기 직전의 상태를 유지하는 것을 특징으로 한다.

<21>      상기 데이터 보존 피드백 회로는 상기 반전 슬립 모드 제어신호를 수신하여 반전시키는 제 1 인버터, 전원전압에 연결된 소스 단자와 상기 제 1 인버터의 출력신호가 인가되는 게이트 단자를 갖는 제 1 PMOS 트랜지스터, 상기 제 1 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 상기 슬레이브 래치 회로의 입력단자에 연결되어 있고 피드백 입력신호를 수신하는 게이트 단자와 상기 마스터 래치 회로의 입력단자에 연결되어 있고 피드백 출력신호가 출력되는 드레인 단자를 갖는 제 2 PMOS 트랜지스터, 상기 제 2 PMOS 트랜지스터의 드레인 단자에 연결된 드레인 단자와 상기 제 2 PMOS 트랜지스터의 게이트 단자에 연결된 게이트 단자를 갖는 제 1 NMOS 트랜지스터, 및 상기 제 1 NMOS 트랜지스터의 소스 단자에 연결된 드레인 단자와 반전 슬립 모드 제어신호가 인가되는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 2 NMOS 트랜지스터를 구비하는 것을 특징으로 한다.

<22>      상기 마스터 래치부는 high-Vt 트랜지스터로 구성되고 상기 슬레이브 래치부는 low-Vt 트랜지스터로 구성되는 것을 특징으로 한다.

<23>      본 발명에 따른 MTCMOS 플립플롭 회로는 슬립 모드시에는 외부 클럭신호에 무관하게 상기 클럭신호를 로우 상태로 유지하고 액티브 모드시에는 상기 외부 클럭신호가 반전된 신호를 상기 내부 클럭신호로 출력하는 슬립 모드 제어회로를 구비하는 것을 특징으로 한다.

<24>      상기 슬립 모드 제어회로는 전원전압에 연결된 소스 단자와 반전 슬립 모드 제어신호를 수신하는 게이트 단자를 갖는 제 1 PMOS 트랜지스터, 상기 제 1 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 외부 클럭신호를 수신하는 게이트 단자와 제 1 노드에 연결된 드레인 단자를 갖는 제 2 PMOS 트랜지스터, 상기 제 1 노드에 연결된 드레인

단자와 상기 외부 클럭신호를 수신하는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 1 NMOS 트랜지스터, 및 상기 제 1 노드에 연결된 드레인 단자와 상기 반전 슬립 모드 제어신호를 수신하는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 2 NMOS 트랜지스터를 구비하고, 상기 제 1 노드에서 상기 내부 클럭신호를 발생시키는 것을 특징으로 한다.

<25>       상기 제 1 PMOS 트랜지스터는 high -Vth 트랜지스터이고, 상기 제 2 PMOS 트랜지스터와 상기 제 1 NMOS 트랜지스터와 상기 제 2 NMOS 트랜지스터는 low-Vth 트랜지스터인 것을 특징으로 한다.

<26>       이하, 첨부된 도면을 참조하여 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로에 대해 설명한다.

<27>       도 3은 슬립 모드에서 데이터를 보존할 수 있는 본 발명의 일실시예에 따른 MTCMOS 플립플롭 회로를 나타내는 도면이다. 도 4는 도 3의 회로에서 인버터들을 등가의 트랜지스터로 나타낸 도면이고, 도 5는 도 3의 회로에서 가상접지(virtual ground, VGND)와 접지(GND) 사이에 연결되는 NMOS 트랜지스터를 나타내는 도면이다. 도 3에는 가상접지(VGND)가 표시되어 있지 않지만, 실제로는 인버터들(INV31, INV35, INV36, INV37, INV38)은 도 4에 도시된 바와 같이 가상접지(VGND)에 연결되어 있고, 가상접지(VGND)와 접지(GND) 사이에는 도 5에 도시된 바와 같이 스위칭 트랜지스터가 연결되어 있다.

<28>       도 3에 도시된 본 발명의 일실시예에 따른 MTCMOS 플립플롭 회로는 외부 클럭신호(CLK)와 반전 슬립 모드 제어신호(SCB)를 수신하고 내부 클럭신호(CK)를 발생시키는 슬립 모드 제어회로(330), 플립플롭의 입력신호(D)를 수신하여 반전시키는 인버터(INV31), 내부 클럭신호(CK)를 수신하여 반전시키고 반전 내부 클럭신호(CKN)를 발생시키는 인버

터(INV32), 내부 클럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 인버터(INV31)의 출력신호를 수신하여 래치하고 노드(N2)에 출력하는 마스터 래치부(310), 노드(N2)의 신호를 수신하여 래치하고 노드(N4)에 출력하는 슬레이브 래치부(320), 반전 슬립 모드 제어신호(SCB)의 제어하에 노드(N3)로부터 피드백 입력신호(FBI)를 수신하여 노드(N1)에 피드백 출력신호(FBO)를 발생시키는 데이터 보존 피드백 회로(data retention feedback circuit)(340), 및 버퍼부(350)를 구비한다.

<29> 슬립 모드 제어회로(330)는 전원전압(VDD)에 연결된 소스 단자와 반전 슬립 모드 제어신호(SCB)를 수신하는 게이트 단자를 갖는 PMOS(P-type MOS) 트랜지스터(MP31), PMOS 트랜지스터(MP31)의 드레인 단자에 연결된 소스 단자와 외부 클럭신호(CLK)를 수신하는 게이트 단자와 노드(N5)에 연결된 드레인 단자를 갖는 PMOS 트랜지스터(MP32), 노드(N5)에 연결된 드레인 단자와 외부 클럭신호(CLK)를 수신하는 게이트 단자와 접지(GND)에 연결된 소스 단자를 갖는 NMOS 트랜지스터(MN31), 및 노드(N5)에 연결된 드레인 단자와 반전 슬립 모드 제어신호(SCB)를 수신하는 게이트 단자와 접지(GND)에 연결된 소스 단자를 갖는 NMOS 트랜지스터(MN32)를 구비하고, 노드(N5)에서 내부 클럭신호(CK)를 발생시킨다.

<30> 마스터 래치부(310)는 내부 클럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 인버터(INV31)의 출력신호를 수신하여 노드(N1)로 전달하는 전달 게이트(TG31)로 구성된 마스터 래치 게이트(312), 및 마스터 래치 게이트(312)의 출력신호를 수신하여 래치하고 노드(N2)로 출력하는 마스터 래치 회로(314)를 구비한다.

<31> 마스터 래치 회로(314)는 노드(N1)의 신호를 수신하여 반전시켜 노드(N2)에 출력하는 인버터(INV33), 노드(N2)의 신호를 수신하여 반전시키는 인버터(INV34), 및 내부 클

럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 인버터(INV34)의 출력신호를 수신하여 노드(N1)로 전달하는 전달 게이트(TG32)를 구비한다.

<32> 슬레이브 래치부(320)는 내부 클럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 노드(N2)의 신호를 수신하여 노드(N3)로 전달하는 전달 게이트(TG33)로 구성된 슬레이브 래치 게이트(322), 및 슬레이브 래치 게이트(322)의 출력신호를 수신하여 래치하고 노드(N4)로 출력하는 슬레이브 래치 회로(324)를 구비한다.

<33> 슬레이브 래치 회로(324)는 노드(N3)의 신호를 수신하여 반전시켜 노드(N4)에 출력하는 인버터(INV35), 노드(N4)의 신호를 수신하여 반전시키는 인버터(INV36), 및 내부 클럭신호(CK)와 반전 내부 클럭신호(CKN)의 제어하에 인버터(INV36)의 출력신호를 수신하여 노드(N3)로 전달하는 전달 게이트(TG34)를 구비한다.

<34> 데이터 보존 피드백 회로(340)는 반전 슬립 모드 제어신호(SCB)를 수신하여 반전시키는 인버터(INV39), 전원전압(VDD)에 연결된 소스 단자와 인버터(INV39)의 출력신호가 인가되는 게이트 단자를 갖는 PMOS 트랜지스터(MP33), PMOS 트랜지스터(MP33)의 드레인 단자에 연결된 소스 단자와 노드(N3)에 연결되어 있고 피드백 입력신호(FBI)를 수신하는 게이트 단자와 노드(N1)에 연결되어 있고 피드백 출력신호(FBO)가 출력되는 드레인 단자를 갖는 PMOS 트랜지스터(MP34), PMOS 트랜지스터(MP34)의 드레인 단자에 연결된 드레인 단자와 PMOS 트랜지스터(MP34)의 게이트 단자에 연결된 게이트 단자를 갖는 NMOS 트랜지스터(MN33), 및 NMOS 트랜지스터(MN33)의 소스 단자에 연결된 드레인 단자와 반전 슬립 모드 제어신호(SCB)가 인가되는 게이트 단자와 접지(GND)에 연결된 소스 단자를 갖는 NMOS 트랜지스터(MN34)를 구비한다.

- <35> 버퍼부(350)는 인버터(INV37), 및 인버터(INV38)를 구비하고, 슬레이브 래치부(320)의 출력신호를 수신하여 버퍼링하며 반전된 최종 출력신호(Q, QN)를 발생시킨다.
- <36> 도 3에 도시된 본 발명에서는 플립플롭의 동작속도가 저하되는 것을 방지하기 위해 플립플롭의 동작속도에 크게 영향을 주는 인버터들(INV31, INV35, INV36, INV37, INV38)과 전달 게이트(TG33)는 low-V<sub>th</sub> 트랜지스터로 구성하였다.
- <37> 도 6은 슬립 모드에서 액티브 모드로 전환시, 슬립모드 전의 상태가 보존되고 있음을 나타내는 도 3의 회로의 타이밍도이다.
- <38> 이하, 도 3 내지 도 6을 참조하여 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로의 동작에 대해 설명한다.
- <39> 도 3의 플립플롭 회로가 액티브 모드에서 동작을 할 경우, 즉 슬립 모드 제어신호(SC)는 하이(high) 상태이고, 반전 슬립 모드 제어신호(SCB)는 로우(low) 상태일 경우, 도 5에 도시된 스위칭 트랜지스터(NMOS)가 온 되어 가상접지(VGND)가 접지(GND)에 연결되고 low-V<sub>t</sub> 트랜지스터들이 정상적으로 동작한다. 반전 슬립 모드 제어신호(SCB)가 로우 상태이므로, 도 3에서 PMOS 트랜지스터(MP31)가 턴온(turn-on)되고 NMOS 트랜지스터(MN32)는 턴오프(turn-off) 상태가 된다. 이 조건에서 슬립 모드 제어회로(330)는 PMOS 트랜지스터(MP32)와 NMOS 트랜지스터(MN31)로 구성된 인버터의 기능을 하며, 외부 클럭신호(CLK)를 반전시켜 내부 클럭신호(CK)를 발생시킨다. 한편, 이 조건에서 PMOS 트랜지스터(MP33)와 NMOS 트랜지스터(MN34)가 턴오프 되므로 데이터 보존 피드백 회로(340)에는 전원이 공급되지 않고 데이터 보존 피드백 회로(340)는 플립플롭 회로의 동작에 영향을 미치지 않는다.

- <40> 따라서, 이 조건에서 도 3의 MTCMOS 기술을 이용한 플립플롭 회로는 일반적인 D 형 플립플롭 회로로서 동작하며, 외부 클럭신호(CLK)의 제어하에 마스터 래치부(310)와 슬레이브 래치부(320)가 동작하여 입력신호(D)가 래치되고 출력된다.
- <41> 플립플롭의 데이터 천이(transition)의 메커니즘은 다음과 같다. 외부 클럭신호(CLK)가 로우 상태일 때, 전달 게이트(TG31)와 전달 게이트(TG34)는 온 되고 전달 게이트(TG32)와 전달 게이트(TG33)는 오프 되어 입력 데이터(D)의 변화가 마스터 래치부(310)의 노드(N2)까지만 전달되고, 슬레이브 래치부(320)에서는 이전 상태(state)의 데이터 값이 래치되고 출력된다. 외부 클럭신호(CLK)가 하이 상태로 변하면, 전달 게이트(TG31)와 전달 게이트(TG34)는 오프 되고 전달 게이트(TG32)와 전달 게이트(TG33)는 온 되어 외부 클럭신호(CLK)가 하이 상태로 변하기 전의 노드(N2)의 신호가 마스터 래치부(310)에 래치되고 전달 게이트(TG33), 인버터(INV35), 및 인버터(INV37)를 통해 플립플롭의 출력 데이터(Q)로서 출력된다.
- <42> 상술한 바와 같이, 전달 게이트들(TG31 및 TG32)과 인버터들(INV33 및 INV34)은 주로 클럭신호의 에지에서 현재 데이터의 상태를 래치하는 기능을 하고, 전달 게이트(TG33)와 인버터들(INV31, INV35, INV36, INV37, 및 INV38)이 주로 플립플롭의 동작속도에 영향을 미친다. 이 때문에, 본 발명에서는 플립플롭의 동작속도의 저하를 방지하기 위해 전달 게이트(TG33)와 인버터들(INV31, INV35, INV36, INV37, 및 INV38)은 low-Vth 트랜지스터로 구성하였다. 또한, 슬립 모드 제어회로(330)는 외부 클럭신호(CLK)를 내부 클럭신호(CK)로 바꿔주는 기능을 하고 플립플롭 회로의 동작속도에 영향을 주기 때문에 PMOS 트랜지스터(MP31)만 high-Vth 트랜지스터로 구성하고 PMOS 트랜지스터(MP32)와



NMOS 트랜지스터(MN31)와 NMOS 트랜지스터(MN32)는 모두 low-Vth 트랜지스터로 구성하였다.

<43> 도 3의 플립플롭 회로가 슬립 모드에서 동작을 할 경우, 즉 슬립 모드 제어신호(SC)는 로우(low) 상태이고, 반전 슬립 모드 제어신호(SCB)는 하이(high) 상태일 경우, 도 5에 도시된 스위칭 트랜지스터(NMOS)가 오프 되어 가상접지(VGND)와 접지(GND)와의 연결이 끊어지고 low-Vt 트랜지스터들이 플로팅 상태가 된다. 반전 슬립 모드 제어신호(SCB)가 하이 상태이므로, 도 3에서 PMOS 트랜지스터(MP31)는 오프 되고 NMOS 트랜지스터(MN32)는 온 되어 슬립 모드 제어회로(330)의 출력인 내부 클럭 제어신호(CK)는 더 이상 외부 클럭신호(CLK)에 따라 변화하지 않는다. 한편, 이 조건에서 PMOS 트랜지스터(MP33)와 NMOS 트랜지스터(MN34)가 온 되므로 데이터 보존 피드백 회로(340)는 인버터로서 동작을 한다. 슬립 모드 제어회로(330)의 출력신호인 내부 클럭신호(CK)가 로우 상태이므로 전달 게이트(TG31)와 전달 게이트(TG34)는 오프 되고 전달 게이트(TG32)와 전달 게이트(TG33)는 온 되어, 마스터 래치 회로(314)는 슬립 모드 직전에 가지고 있던 데이터를 래치하고 슬레이브 래치 회로(324)는 전달 게이트(TG34)가 오프 되기 때문에 래치의 기능을 하지 못한다. 이 조건에서, 데이터 보존 피드백 회로(340)가 동작을 하므로 노드(N3)의 신호가 데이터 보존 피드백 회로(340)에 의해 반전되어 노드(N1)로 피드백 된다. 노드(N1)의 신호는 인버터(INV33)에 의해 반전되어 노드(N2)로 전달되고 노드(N2)의 신호는 전달 게이트(TG33)를 통해 노드(N3)에 전달되어, 슬립 모드 직전의 노드(N3)의 신호는 슬립 모드에서도 보존된다. 데이터 보존 피드백 회로(340)는 인버터의 기능을 하므로, 슬립 모드 직전에 마스터 래치 회로(314)의 입력단자(노드(N1))에서의 데이터 값과 슬레이브 래치 회로(324)의 입력단자(노드(N3))에서의 데이터 값이 동일한 경우에

는 노드(N1)에서 데이터의 충돌(conflict)이 일어날 수 있는데, 이것을 방지하기 위하여 데이터 보존 피드백 회로(340)의 구동 강도(driving strength)를 마스터 래치부(310)의 인버터(INV34)의 구동 강도(driving strength)보다 크게 설계하여 슬레이브 래치 회로(324)의 입력단자(노드(N3))의 데이터가 반전된 피드백 출력신호(FB0)의 값이 마스터 래치 회로(314)의 입력단자(노드(N1))에서의 데이터 값을 무시할(override) 수 있도록 하였다. 데이터 보존 피드백 회로(340)에 의해 마스터 래치 회로(314)의 입력단자(노드(N1))에서의 데이터의 값과 슬레이브 래치 회로(324)의 입력단자(노드(N3))의 데이터 값이 반전된 피드백 출력신호(FB0)를 동일하게(equalize)만드는 이유는 슬립 모드에서 액티브 모드로 변할 때, 클럭신호의 상태와 마스터 래치(314)의 데이터의 상태에 따라 플립플롭의 출력신호(Q)의 상태가 슬립 모드 직전의 상태와 서로 다를 수 있기 때문이다. 예를 들어, 슬레이브 래치 회로(324)의 입력단자(노드(N3))가 하이 상태의 데이터를 가지고 있고 외부 클럭신호(CLK)는 로우 상태이고 플립플롭의 입력 데이터(D)는 로우인 상태에서 슬립 모드에 들어가는 경우, 마스터 래치 회로(314)의 입력단자(노드(N1))에서의 데이터의 상태와 슬레이브 래치 회로(324)의 입력단자(노드(N3))에서의 데이터의 상태는 서로 다르게 된다. 이 후 슬립 모드에서 액티브 모드로 바뀔 시점에 외부 클럭신호(CLK)가 하이 상태일 경우 마스터 래치 회로(314)의 입력단자(노드(N1))에서의 데이터의 상태인 로우 상태가 슬레이브 래치 회로(324)에 전달되어 슬립모드 직전의 상태인 하이 상태가 유지되지 못하게 된다.

<44> 본 발명에서는 슬립 모드로 전환시, 슬립 모드 제어신호(SC)와 반전 슬립 모드 제어신호(SCB)에 동기되어 마스터 래치 회로(314)의 입력단자(노드(N1))에서의 데이터의 상태와 슬레이브 래치 회로(324)의 입력단자(노드(N3))에서의 데이터가

반전된 피드백 출력신호(FBO)의 상태를 동일하게 함으로써 슬립 모드에서 액티브 모드로 전환시 클럭신호의 상태에 관계없이 플립플롭의 출력신호의 상태는 슬립모드 직전의 상태를 유지한다.

<45> 슬립 모드에서는 PMOS 트랜지스터(MP31)가 오프 되므로 외부 클럭신호(CLK)가 미지의 상태(unknown state)에 의해 발생할 수 있는 단락회로 경로는 존재하지 않는다.

또한, 전달 게이트(TG34)가 오프 되므로 노드(N4)와 인버터(INV36)의 출력단의 상태에 의한 단락회로 경로는 존재하지 않는다. 따라서, 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로에서는 입력신호의 미지의 상태에 기인한 단락회로 경로는 존재하지 않는다.

<46> 도 3의 회로에서, 누설전류에 영향을 주는 오프 상태(off-state)의 트랜지스터들은 MP31, MP34, MN33, TG31, TG34와 INV32, INV39의 NMOS 트랜지스터들이고, INV35와 INV36의 PMOS 트랜지스터 또는 NMOS 트랜지스터들은 노드 상태에 따라 오프 상태가 된다. 그런데, 이 트랜지스터들은 모두 high-Vt 트랜지스터들로 구성되므로 누설전류는 low-Vth 트랜지스터로 구성된 경우보다 훨씬 작다. 따라서, 슬립 모드에서 소비전력은 매우 작게 된다. 한편, 슬립 모드에서는 스위칭 트랜지스터에 의해 가상 접지와 접지와 연결이 끊어지므로 도 3의 회로 내의 low-Vth 트랜지스터에 의한 누설전류는 발생하지 않는다.

<47> 도 3의 플립플롭 회로가 슬립 모드에서 액티브 모드로 전환할 때, 즉 슬립 모드 제어신호(SC)는 하이 상태이고, 반전 슬립 모드 제어신호(SCB)는 로우 상태일 경우 동작은 다음과 같다.

- <48> 슬립 모드 제어신호(SC)와 반전 슬립 모드 제어신호(SCB)에 의해 슬립 모드 제어회로(330)는 인버터의 기능을 하게 되고 데이터 보존 피드백 회로(340)는 동작하지 않는다. 마스터 래치 회로(314)의 입력단자(노드(N1))에서의 데이터는 액티브 모드로 전환되기 직전의 상태를 가진다. 액티브 모드로 전환된 상태에서 외부 클럭신호(CLK)가 하 이 상태일 때는 마스터 래치 회로에 보존되어 있던 데이터가 출력신호(Q, QN)로서 출력 되고, 외부 클럭신호(CLK)가 로우 상태일 때는 전달 게이트(TG31)와 전달 게이트(TG34)는 온 되고 전달 게이트(TG32)와 전달 게이트(TG33)는 오프 되므로 액티브 모드로 변경 할 때의 입력 데이터(D)의 상태가 노드(N3)까지 전달되고 슬립 모드에서의 노드(N3)의 상태가 슬레이브 래치 회로(324)에 래치되고 버퍼 회로(350)를 통해 출력 데이터(Q, QN)로서 출력된다. 이와 같이, 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로는 슬립 모드에서 액티브 모드로 전환시에 이전 클럭신호의 상태와 관계없이 데이터를 유지하게 된다.
- <49> 도 6의 타이밍도는 도 3에 도시된 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로가 슬립 모드에서 액티브 모드로 전환될 때, 슬립 모드 직전의 출력 상태를 보존되고 있음을 나타내고 있다.
- <50> 표 1은 종래의 D 형 플립플롭 회로와 도 3에 도시된 바와 같은 본 발명에 따른 D 형 플립플롭 회로의 동작속도와 누설전류를 서로 비교한 표이다. 표 1에서 알 수 있듯이, 본 발명의 D 형 플립플롭 회로는 기존의 low-Vth 트랜지스터만을 사용한 D 형 플립플롭 회로에 비하여 동작속도는 약 5 % 정도 늦지만, 누설전류는 약 67 분의 1로 감소하고 있다. 또한, 본 발명의 D 형 플립플롭 회로는 MTCMOS 기술을 사용하기 때문에 기존의 high-Vth 트랜지스터만을 사용한 D 형 플립플롭 회로보다도 누설전류가 적다.

## &lt;51&gt; 【표 1】

| 항목   | 본 발명 | low-Vt D 플립플롭 | high-Vt D 플립플롭 |
|------|------|---------------|----------------|
| 동작속도 | 1    | 0.954         | 1.27           |
| 누설전류 | 1    | 67.79         | 2.42           |

<52>      상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## 【발명의 효과】

<53>      상술한 바와 같이, 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로에 의하면, 기존의 플립플롭 회로에 피드백 회로를 추가함으로써 슬립 모드 제어신호만을 사용하여 슬립 모드에서 액티브 모드로 전환할 때 슬립모드 이전 상태를 보존할 수 있다. 또한, 본 발명에 따른 MTCMOS 기술을 이용한 플립플롭 회로에서는 low-Vth 트랜지스터를 사용한 종래의 플립플롭 회로나 high-Vth 트랜지스터를 사용한 종래의 플립플롭 회로에 비해 동작속도는 조금 느린 반면 누설전류는 매우 작다.

## 【특허청구범위】

## 【청구항 1】

마스터 래치부와 슬레이브 래치부를 구비하고 내부 클럭신호의 제어하에 입력 데이터를 수신하여 래치하고 출력하는 MTCMOS 플립플롭 회로에 있어서,

슬립모드시 마스터 래치 회로의 입력단자에서의 데이터의 상태를 슬레이브 래치 회로의 입력단자에서의 데이터가 반전된 상태와 동일하게 만들어 보존함으로써, 슬립모드에서 액티브 모드로 전환시 플립플롭 회로의 출력이 슬립모드에 진입하기 직전의 상태를 유지하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 2】

제 1 항에 있어서, 상기 MTCMOS 플립플롭 회로는

가상접지와 접지 사이에 연결되고 슬립 모드시에는 슬립 모드 제어신호에 의해 온되고 액티브 모드시에는 상기 슬립 모드 제어신호에 의해 오프 되는 스위칭 트랜지스터를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 MTCMOS 플립플롭 회로는

반전 슬립 모드 제어신호의 제어하에 상기 슬레이브 래치 회로의 입력단자에서의 데이터를 수신하여 반전시키고 상기 마스터 래치 회로의 입력단자에 전달하는 데이터 보존 피드백 회로를 구비하여 슬립모드에서 액티브 모드로 전환시 플립플롭 회로의 출력이 슬립모드에 진입하기 직전의 상태를 유지하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

**【청구항 4】**

제 3 항에 있어서, 상기 데이터 보존 피드백 회로는

상기 반전 슬립 모드 제어신호를 수신하여 반전시키는 제 1 인버터;

전원전압에 연결된 소스 단자와 상기 제 1 인버터의 출력신호가 인가되는 게이트 단자를 갖는 제 1 PMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 상기 슬레이브 래치 회로의 입력단자에 연결되어 있고 피드백 입력신호를 수신하는 게이트 단자와 상기 마스터 래치 회로의 입력단자에 연결되어 있고 피드백 출력신호가 출력되는 드레인 단자를 갖는 제 2 PMOS 트랜지스터;

상기 제 2 PMOS 트랜지스터의 드레인 단자에 연결된 드레인 단자와 상기 제 2 PMOS 트랜지스터의 게이트 단자에 연결된 게이트 단자를 갖는 제 1 NMOS 트랜지스터; 및

상기 제 1 NMOS 트랜지스터의 소스 단자에 연결된 드레인 단자와 반전 슬립 모드 제어신호가 인가되는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 2 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

**【청구항 5】**

제 1 항 또는 제 2 항에 있어서,

상기 마스터 래치부는 high- $V_{th}$  트랜지스터로 구성되고 상기 슬레이브 래치부는 low- $V_{th}$  트랜지스터로 구성되는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 6】

제 1 항 또는 제 2 항에 있어서, 상기 내부 클럭신호는

슬립 모드시에는 외부 클럭신호에 따라 진동하지 않고, 액티브 모드시에는 상기 외부 클럭신호에 응답하여 진동하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 7】

제 1 항 또는 제 2 항에 있어서, 상기 MTCMOS 플립플롭 회로는

슬립 모드시에는 외부 클럭신호에 무관하게 상기 클럭신호를 로우 상태로 유지하고 액티브 모드시에는 상기 외부 클럭신호가 반전된 신호를 상기 내부 클럭신호로 출력하는 슬립 모드 제어회로를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 8】

제 7 항에 있어서, 상기 슬립 모드 제어회로는

전원전압에 연결된 소스 단자와 반전 슬립 모드 제어신호를 수신하는 게이트 단자를 갖는 제 1 PMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 외부 클럭신호를 수신하는 게이트 단자와 제 1 노드에 연결된 드레인 단자를 갖는 제 2 PMOS 트랜지스터;

상기 제 1 노드에 연결된 드레인 단자와 상기 외부 클럭신호를 수신하는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 1 NMOS 트랜지스터; 및

상기 제 1 노드에 연결된 드레인 단자와 상기 반전 슬립 모드 제어신호를 수신하는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 2 NMOS 트랜지스터를 구비하고, 상기



제 1 노드에서 상기 내부 클럭신호를 발생시키는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

【청구항 9】

제 8 항에 있어서,

상기 제 1 PMOS 트랜지스터는 high-Vth 트랜지스터이고, 상기 제 2 PMOS 트랜지스터와 상기 제 1 NMOS 트랜지스터와 상기 제 2 NMOS 트랜지스터는 low-Vth 트랜지스터인 것을 특징으로 하는 MTCMOS 플립플롭 회로.

【청구항 10】

외부 클럭신호와 반전 슬립 모드 제어신호를 수신하고 내부 클럭신호를 발생시키는 슬립 모드 제어회로;

플립플롭 입력 데이터를 수신하여 반전시키는 제 1 인버터;

상기 내부 클럭신호와 반전 내부 클럭신호의 제어하에 상기 제 1 인버터의 출력신호를 수신하여 제 1 노드로 전달하는 마스터 래치 게이트;

상기 마스터 래치 게이트의 출력신호를 수신하여 래치하고 제 2 노드로 출력하는 마스터 래치 회로;

상기 내부 클럭신호와 상기 반전 내부 클럭신호의 제어하에 상기 제 2 노드의 신호를 수신하여 제 3 노드로 전달하는 슬레이브 래치 게이트;

상기 슬레이브 래치 게이트의 출력신호를 수신하여 래치하고 제 4 노드로 출력하는 마스터 래치 회로; 및

상기 반전 슬립 모드 제어신호의 제어하에 상기 제 3 노드로부터 피드백 입력신호를 수신하고 상기 제 1 노드에 피드백 출력신호를 발생시키는 데이터 보존 피드백 회로를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

#### 【청구항 11】

제 10 항에 있어서, 상기 MTCMOS 플립플롭 회로는

가상접지와 접지 사이에 연결되고 슬립 모드시에는 슬립 모드 제어신호에 의해 온되고 액티브 모드시에는 상기 슬립 모드 제어신호에 의해 오프 되는 스위칭 트랜지스터를 더 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

#### 【청구항 12】

제 10 항에 있어서, 상기 MTCMOS 플립플롭 회로는

상기 슬레이브 래치 회로의 출력신호를 수신하여 반전시키고 버퍼링하여 플립플롭 출력신호를 발생시키는 버퍼회로를 더 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

#### 【청구항 13】

제 10 항 또는 제 11 항에 있어서, 상기 데이터 보존 피드백 회로는

상기 반전 슬립 모드 제어신호를 수신하여 반전시키는 제 1 인버터;

전원전압에 연결된 소스 단자와 상기 제 1 인버터의 출력신호가 인가되는 게이트 단자를 갖는 제 1 PMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 상기 슬레이브 래치 회로의 입력단자에 연결되어 있고 피드백 입력신호를 수신하는 게이트 단자와 상기



마스터 래치 회로의 입력단자에 연결되어 있고 피드백 출력신호가 출력되는 드레인 단자를 갖는 제 2 PMOS 트랜지스터;

상기 제 2 PMOS 트랜지스터의 드레인 단자에 연결된 드레인 단자와 상기 제 2 PMOS 트랜지스터의 게이트 단자에 연결된 게이트 단자를 갖는 제 1 NMOS 트랜지스터; 및

상기 제 1 NMOS 트랜지스터의 소스 단자에 연결된 드레인 단자와 반전 슬립 모드 제어신호가 인가되는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 2 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

#### 【청구항 14】

제 10 항 또는 제 11 항에 있어서, 상기 슬립 모드 제어회로는

전원전압에 연결된 소스 단자와 상기 반전 슬립 모드 제어신호를 수신하는 게이트 단자를 갖는 제 1 PMOS 트랜지스터;

상기 제 1 PMOS 트랜지스터의 드레인 단자에 연결된 소스 단자와 상기 외부 클럭신호를 수신하는 게이트 단자와 제 5 노드에 연결된 드레인 단자를 갖는 제 2 PMOS 트랜지스터;

상기 제 5 노드에 연결된 드레인 단자와 상기 외부 클럭신호를 수신하는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 1 NMOS 트랜지스터; 및

상기 제 5 노드에 연결된 드레인 단자와 상기 반전 슬립 모드 제어신호를 수신하는 게이트 단자와 접지에 연결된 소스 단자를 갖는 제 2 NMOS 트랜지스터를 구비하고, 상기 제 5 노드에서 상기 내부 클럭신호를 발생시키는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 15】

제 10 또는 제 11 항에 있어서, 상기 마스터 래치 게이트는 high-Vt 트랜지스터로 구성된 제 1 전달 게이트이고 상기 내부 클럭신호가 하이 상태일 때 온 되는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 16】

제 10 항 또는 제 11 항에 있어서, 상기 마스터 래치 회로는  
상기 제 1 노드의 신호를 수신하여 반전시켜 상기 제 2 노드에 출력하는 제 2 인버터;  
상기 제 2 노드의 신호를 수신하여 반전시키는 제 3 인버터; 및  
상기 내부 클럭신호와 상기 반전 내부 클럭신호의 제어하에 상기 제 3 인버터의 출력신호를 수신하여 상기 제 1 노드로 전달하는 제 2 전달 게이트를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 17】

제 16 항에 있어서, 상기 제 2 전달 게이트는  
상기 내부 클럭신호가 로우 상태일 때 온 되는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

## 【청구항 18】

제 16 항에 있어서,  
상기 제 2 전달 게이트와 상기 제 2 인버터와 상기 제 3 인버터는 high-Vth 트랜지스터로 구성된 것을 특징으로 하는 MTCMOS 플립플롭 회로.

**【청구항 19】**

제 10 또는 제 11 항에 있어서, 상기 슬레이브 래치 게이트는

low-Vth 트랜지스터로 구성된 제 3 전달 게이트이고 상기 내부 클럭신호가 하이 상태일 때 온 되는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

**【청구항 20】**

제 10 항 또는 제 11 항에 있어서, 상기 슬레이브 래치 회로는

상기 제 3 노드의 신호를 수신하여 반전시켜 상기 제 4 노드에 출력하는 제 4 인버터;

상기 제 4 노드의 신호를 수신하여 반전시키는 제 5 인버터; 및

상기 내부 클럭신호와 상기 반전 내부 클럭신호의 제어하에 상기 제 5 인버터의 출력신호를 수신하여 상기 제 3 노드로 전달하는 제 4 전달 게이트를 구비하는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

**【청구항 21】**

제 20 항에 있어서, 상기 제 4 전달 게이트는

상기 내부 클럭신호가 하이 상태일 때 온 되는 것을 특징으로 하는 MTCMOS 플립플롭 회로.

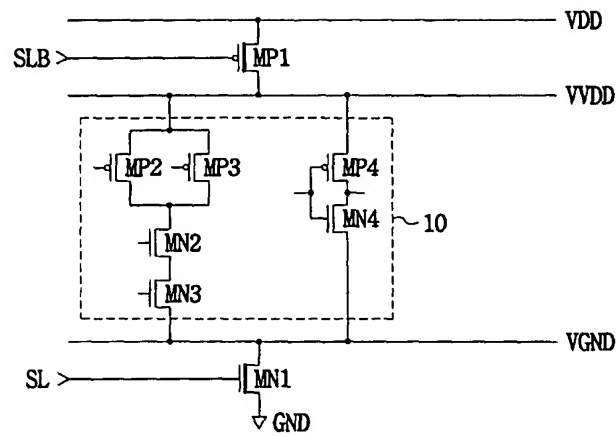
**【청구항 22】**

제 20 항 또는 제 21 항에 있어서,

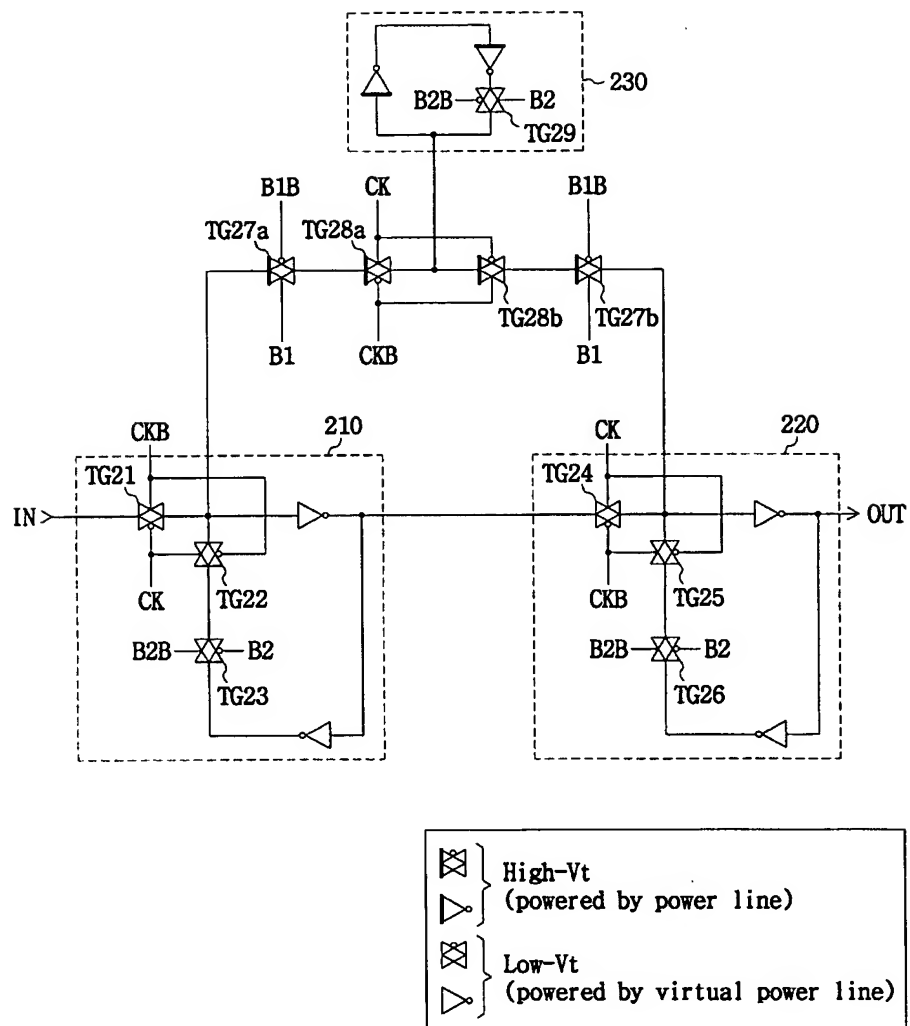
상기 제 2 전달 게이트는 high- $V_{th}$  트랜지스터로 구성되고 상기 제 4 인버터와 상기 제 5 인버터는 low- $V_{th}$  트랜지스터로 구성된 것을 특징으로 하는 MTCMOS 플립플롭 회로.

【도면】

【도 1】

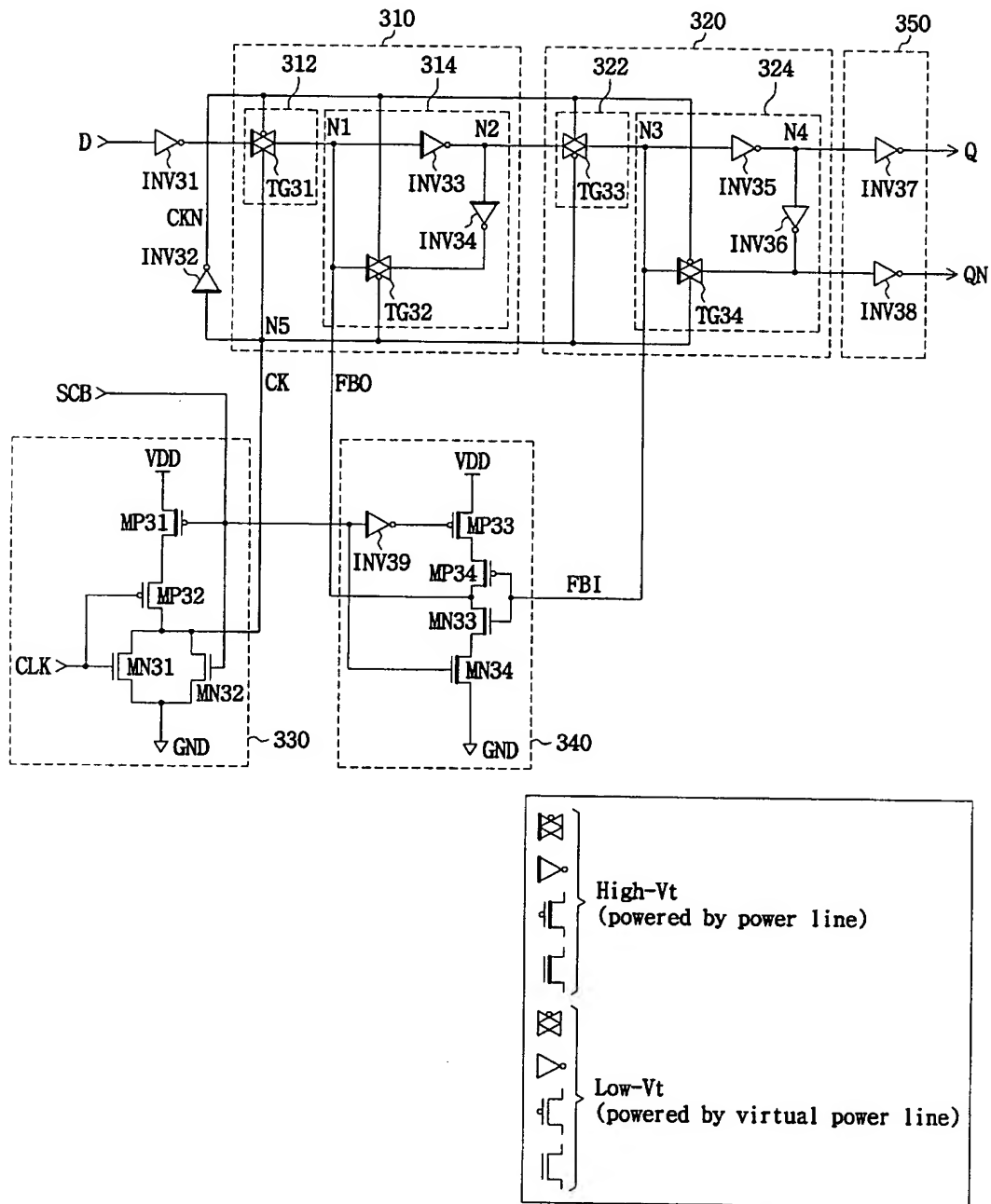


【도 2】

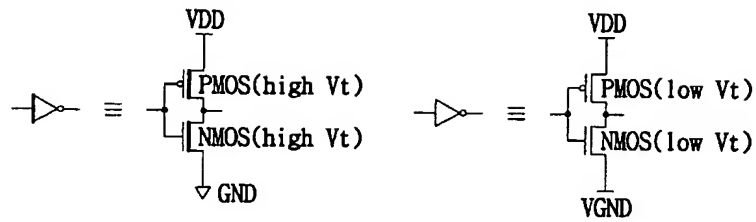




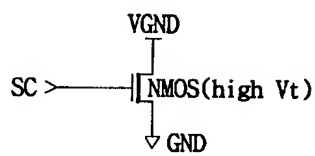
【도 3】



【도 4】



【도 5】



【도 6】

